

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-110048

(43)Date of publication of application : 30.04.1993

(51)Int.Cl.

H01L 27/14
G02B 6/12
H01L 31/10

(21)Application number : 03-296352

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 14.10.1991

(72)Inventor : MIYASHITA MIYO

KATO TAKAYUKI

SHIMURA TERUYUKI

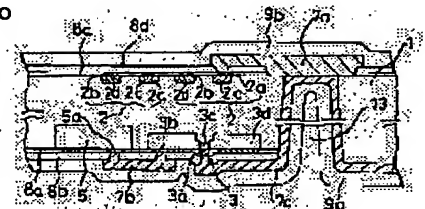
NAKAHARA KAZUHIKO

(54) OPTO-ELECTRONIC INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To obtain an opto-electronic integrated circuit, which does never cause restrictions of the layout of elements even if the electronic circuit element is formed on a substrate surface different from a substrate surface formed with the photodetectors and is capable of reducing effectively the incidence of light to the electronic circuit element.

CONSTITUTION: With photodetectors 2 formed on one main surface of a single GaAs substrate 1, an electronic circuit element 3 is formed on the other main surface of the substrate 1, a via hole 13 is provided in the substrate 1 and these elements are electrically connected to each other through wirings 7a and 7c.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the opto-electronic integrated circuit which has a photo detector and an electronic-circuitry component in the same substrate, and processes by changing a lightwave signal into an electrical signal. The photo detector which has arranged P type and an N type electrode layer to juxtaposition, and formed them by turns on the 1 principal plane of the above-mentioned substrate. The opto-electronic integrated circuit characterized by having the electronic-circuitry component formed on the other principal planes of the above-mentioned substrate, and the Bahia hall which is established in the above-mentioned substrate and connects electrically the above-mentioned photo detector and the above-mentioned electronic-circuitry component.

[Claim 2] The opto-electronic integrated circuit which has a photo detector and an electronic-circuitry component, is equipped with the 1st substrate with which the photo detector was formed on the 1 principal plane, and the 2nd substrate with which the electronic-circuitry component was formed on the 1 principal plane in the opto-electronic integrated circuit which processes by changing a lightwave signal into an electrical signal, each other principal planes of the 1st substrate of the above and the 2nd substrate are made to counter, carries out a laminating, and is characterized by constituting a circuit.

[Claim 3] The opto-electronic integrated circuit characterized by to have made the 1st Bahia hall which connects with the above-mentioned photo detector and the electric target prepared in the 1st substrate of the above, and results in the other principal plane side of this substrate, and the 2nd Bahia hall which was established in the 2nd substrate of the above, and which connects with the above-mentioned electronic-circuitry component and an electric target, and results in the other principal plane side of this substrate counter in an opto-electronic integrated circuit according to claim 2, and to connect these Bahia hall with a pewter.

[Claim 4] The opto-electronic integrated circuit characterized by connecting the 1st Bahia hall which was established in the 1st substrate of the above, and which connects with the above-mentioned photo detector and an electric target, and results in the other principal plane side of this substrate, and the electrode of the above-mentioned electronic-circuitry component formed on the 1 principal plane of the 2nd substrate of the above by wirebonding in an opto-electronic integrated circuit according to claim 2.

[Claim 5] The opto-electronic integrated circuit characterized by connecting the 2nd Bahia hall which was established in the 2nd substrate of the above, and which connects with the above-mentioned electronic-circuitry component and an electric target, and results in the other principal plane side of this substrate, and the electrode of the above-mentioned photo detector formed on the 1 principal plane of the 1st substrate of the above by wirebonding in an opto-electronic integrated circuit according to claim 2.

[Translation done.]

*** NOTICES ***

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the thing aiming at reduction of the effect of the leakage light which carries out incidence of the signal acquired by carrying out photo electric translation by the photo detector especially out of a photo detector about the opto-electronic integrated circuit processed in a latter circuit.

[0002]

[Description of the Prior Art] Drawing 10 is pattern drawing of the conventional opto-electronic integrated circuit shown in JP,62-32643,A; and is drawing 10 (a). The pattern on the front face of a substrate is shown, and it is drawing 10 (b). The pattern on the rear face of a substrate is shown. Moreover, drawing 11 is drawing showing the cross-section structure of an opto-electronic integrated circuit; and drawing 12 is the representative circuit schematic of the opto-electronic integrated circuit of above-mentioned drawing 10 and drawing 11 further. p+ impregnation layer 2c and n+ which are the photodiode which is the photo detector which 1 changes light into a GaAs substrate with a thickness of 100 micrometers, and changes 2 into the electrical and electric equipment in drawing, and were formed in the front face of the above-mentioned GaAs substrate 1 by carrying out an ion implantation. It consists of 2d of impregnation layers, and p electrode 2a prepared on these impregnation layer and n electrode 2b. Moreover, 3 is a field-effect transistor (it omits Following FET) which constitutes the preamp of the input section of the electronic-circuitry component which changes and outputs the current changed with the above-mentioned photodiode 2 to a voltage signal, and is prepared on the same substrate side as the above-mentioned photodiode 2. After this FET forms barrier layer 3c and 3d of source drain ohmic contact layers in a substrate front face by impurity impregnation, insulator layer 8a is prepared all over a substrate, opening of the predetermined part is carried out, ohmic electrode 3b of gate electrode 3a of FET, the source, and a drain is formed, it is obtained, and insulator layer 8b is formed on it. In addition, resistance 4 is omitted in drawing 11.

[0003] The resistance which further 4 is connected to p electrode 2a of a photodiode 2, and serves as a load of a photodiode; and 5 are connection **** load resistance at drain electrode 3b of FET3, and 6 is a photodiode 2 and an object for the current supply of FET3, or a bonding pad for output-signal ejection. Moreover, 7 is wiring which connects between each component or between a component and a pad, and 9 is a protective coat on the front face of a chip. The substrate side in which the above-mentioned photodiode 2 and FET3 were formed is the rear-face gold plate layer formed in the substrate side of an opposite hand, and in case 10 mounts a chip in a package, it is for using solder etc. and making it be easy to paste up. 11 is an optical fiber which is a transmission medium, and 12 shows the incident light from an optical fiber.

[0004] Next, actuation is explained. The incident light 12 (lightwave signal) of the short wavelength region ($\lambda = 0.85$ micrometers) which carried out incidence to the photodiode 2 through the optical fiber 11 p+ of a photodiode 2 Impregnation layer 2c and n+ A free electron hole and an electron are generated in 2d of impregnation layers. Subsequently, these free electron holes and an electron are the above-mentioned p+ impregnation layer 2c and n+. Moving to the depletion-layer field between 2d of

impregnation layers, an electron hole is p^+ . To impregnation layer 2c, an electron is n^+ . The reverse current (photocurrent) of the strength proportional to the strength of light arises toward 2d of impregnation layers, and it is taken out from p electrode 2a. Wiring 7 connects with the load resistance 4 of gate electrode 3a of FET3, and a photodiode 2, and when the current taken out from p electrode 2a flows to load resistance 4, this p electrode 2a is changed into a voltage signal, and is inputted into gate electrode 3a of FET3. And this voltage signal is taken out from the bonding pad 6 which is amplified by the voltage amplifier which consists of FET3 and load resistance 5, and serves as an output terminal.

[0005] By the way, the speed of response of a circuit is decided by the opto-electronic integrated circuit of the above-mentioned structure with CR time constant by the capacity of a photo detector, the input capacitance of FET, and the load resistance of a photodiode. large-capacity-izing of optical communication in recent years — following — high-speed transmission — possible — and low — in order to constitute a noise opto-electronic integrated circuit, the capacity of a photo detector needs to be decreased. For that, an effective means sets the diameter of light-receiving of a photo detector to about dozens of micrometers. However, the core diameter of the optical fiber which light spreads is about 10 micrometers — about 50 micrometers, and incidence of the lightwave signal is carried out also to the photo detector exterior on the breadth of the light by the diffraction phenomena in an optical fiber edge, or the precision of the alignment between a fiber and a photo detector. And when the light which did in this way and leaked out of the photo detector carried out incidence to the barrier layer of FET, photo electric translation arose within the barrier layer, and the carrier was excited, for example, there was a trouble that the operating state of FET — the drain current of FET increases — changed and malfunctioned.

[0006] Moreover, as shown in JP,61-135155,A of drawing 13, it is n^+ on the half-insulation GaAs substrate 121. The mold GaAs layer 122, n — There are some which carry out the laminating of the mold GaAs layer 123; the high resistance AlGaAs layer 124, the undoping GaAs layer 125, and the nGaAs layer 126 one by one, establish the separation slot 133 in this, form PIN mold diode and the FET section, and formed PIN mold diode and the FET section on the same flat surface. If it explains in full detail, patterning of the nGaAs layer 126 of the FET section formation field and the undoping GaAs layer 125 is carried out, and the source . drain of FET and the gate electrode are formed. Moreover, a hollow is formed in the high resistance AlGaAs layer 124 of an PIN mold diode formation field, zinc is diffused, p type layer 128 is formed so that the downward n -mold GaAs layer 123 may be reached, p mold electrode 130 is formed in an upper bed side, the aluminum wiring 131 is used for the gate G of the FET section, and this is connected. Moreover, 132 is n mold electrode of a PIN diode, and 127 is a wrap silicon nitride about a component.

[0007] Although the problem by leakage lump of the light to a mist beam and the FET section will arise in such structure, he is trying to prevent a leakage lump of the light to the FET section by considering as structure as shown in drawing 14 in this official report. When it explains in full detail, they are the high resistance AlGaAs layer 104 and n on the half-insulation GaAs substrate 105. — The mold GaAs layer 103, the nGaAs layer 102, and n^+ The laminating of the mold GaAs layer 101 is carried out one by one, and the field in which the FET section and a PIN diode are formed is classified using the isolation insulating region 108. Subsequently, the high resistance AlGaAs layer 104 is exposed, this hollow 106 is made to diffuse zinc, 107 [p -layer] is formed [the half-insulation GaAs substrate 105 of the light sensing portion of a PIN diode is removed, it becomes depressed, and 106 is formed,], and the p electrode 110 is formed in this, and it is n^+ . On the mold GaAs layer 101, the n electrode 109 is formed and a PIN diode is formed. And the gate electrode G of the FET section which adjoins the n electrode 109 of diode is connected using the aluminum wiring 112.

[0008] And although an optical fiber is inserted in the hollow 106 of p type layer 107 of diode and a free electron is generated at the time of actuation n^- of the upper part [free electron / which was generated with this configuration] The mold GaAs layer 103, the nGaAs layer 102, and n^+ A sake the mold GaAs layer 101 — a passage — a carrier — a lengthwise direction — transmitting — having —

from a mold electrode 109 -- taking out -- having -- It is necessary to prepare the field which forms the FET section and a PIN diode, and to divide a detached core 108. Constraint will arise in the physical relationship of the field in which p type layer 107 is formed; and the field in which FET is formed, and the degree of freedom of component arrangement was small, as a result was what has the nonconformity of being unable to aim at improvement in the degree of integration of a device. Moreover, since it is a laminated structure, there is nonconformity that a production process is complicated and causes buildup of cost.

[0009]

[Problem(s) to be Solved by the Invention] In order to constitute the conventional opto-electronic integrated circuit as mentioned above and to reduce the leakage light to an electronic-circuitry component, the substrate of a laminated structure was used, the limit arose from the need of securing the track of a carrier if an electronic-circuitry component is formed in a different substrate side from the substrate side in which the photo detector was formed, in the physical relationship of the photo detector by the side of a substrate front face, and the electronic-circuitry component by the side of a substrate rear face, and there was a trouble of becoming disadvantageous from a degree of integration or a cost side.

[0010] This invention was made in order to cancel the above troubles, and even if it forms an electronic-circuitry component in a different substrate side from the substrate side in which the photo detector was formed, it aims at obtaining the opto-electronic integrated circuit which a limit does not arise with the layout of a component and can reduce the incidence of the light to an electronic-circuitry component effectively.

[0011]

[Means for Solving the Problem] The opto-electronic integrated circuit concerning this invention is prepared in the photo detector formed on the 1 principal plane of a substrate, the electronic-circuitry component formed on the other principal planes of the above-mentioned substrate, and the above-mentioned substrate, and is equipped with the Bahia hall which connects electrically the above-mentioned photo detector and an electronic-circuitry component.

[0012] Moreover, have the 1st substrate with which the photo detector was formed on the 1 principal plane, and the 2nd substrate with which the electronic-circuitry component was formed on the 1 principal plane, each other principal planes of the 1st substrate of the above and the 2nd substrate are made to counter, a laminating is carried out, and an opto-electronic integrated circuit is constituted.

[0013]

[Function] An electronic-circuitry component is formed on the substrate side (other principal planes) of different another side from the field in which the photo detector was formed on the 1 principal plane of a substrate, and this photo detector was formed in this invention. Since it was made to connect electrically using the Bahia hall in which the above-mentioned photo detector and the above-mentioned electronic-circuitry component were prepared by the above-mentioned substrate, since substrate thickness is sufficiently thick Incident light is almost absorbed on the substrate front face of the field in which the photo detector is formed. The incidence of the light to the electronic-circuitry component currently formed in the substrate rear face can decrease, change of the operating state of FET, such as an increment in a drain current, can be controlled, and cutback-ization of a chip size can be attained by forming a circuit further without a limit of a layout in substrate both sides.

[0014] Moreover, form a photo detector on the 1 principal plane of the 1st substrate, and an electronic-circuitry component is formed on the 1 principal plane of the 2nd substrate. Since each other principal planes of the 1st substrate of the above and the 2nd substrate were made to counter, the laminating was carried out and the opto-electronic integrated circuit was constituted; even if it forms a photo detector and a digital disposal circuit in a different substrate according to an individual While being able to reduce the incidence of the light to an electronic-circuitry component effectively, the photo detector of various classes can be formed.

[0015]

[Example] Hereafter, one example of this invention is explained about drawing. Drawing 1 is pattern drawing of the opto-electronic integrated circuit by the 1st example of invention, and is drawing 1 (a). Pattern drawing on the front face of a substrate is shown, and it is drawing 1 (b). Pattern drawing on the rear face of a substrate is shown. In drawing, a considerable part is shown and they are that: the same sign as drawing 10 is the same, or the Bahia hall where 13 connects the photodiode 2 of GaAs substrate 1 front face, FET3 on the rear face of a substrate, and the load resistance 4 of a photodiode. In addition, resistance 4 is omitted in the following explanation.

[0016] Moreover, drawing 2 is the sectional view of the opto-electronic integrated circuit of above-mentioned drawing 1, drawing 3 is drawing having shown the process flow at the time of forming the circuit of drawing 1 and drawing 2, and in case 14 gold-plates in the Bahia hall 13, in order to form a gold plate layer also in the part which becomes the bottom of the Bahia hall, it is the insulator layer prepared in the rear-face side of a substrate 1.

[0017] Hereafter, a process flow is explained. It is drawing 3 (a) first. An ion implantation is carried out to GaAs substrate 1 both sides with a thickness of 100 micrometers so that it may be shown, and it is p+ of a photodiode 2 to one principal plane (substrate front face) of a substrate 1. Impregnation layer 2c and n+ 2d of impregnation layers is formed and barrier layer 3c of FET3 and resistance 5 which are an electronic circuitry are formed in the other principal planes (substrate rear face) of a substrate 1. Next, drawing 3 (b) After forming the insulator layer 14 for pars-basilaris-ossis-occipitalis gold plate formation of the Bahia hall in the substrate front face in which the photodiode was formed so that it may be shown, gate electrode 3a of FET is prepared in a substrate rear face, it carries out an ion implantation, using this as a mask, and 3d of ohmic contact layers of FET is formed by the self aryne. Subsequently, insulator layer 8a is formed in substrate 1 rear face, patterning of the predetermined part is carried out, ohmic electrode 3b of FET and ohmic electrode 5a of resistance 5 are formed, and insulator layer 8b is further formed on it.

[0018] Next, the Bahia hall 13 for connecting the electronic circuitry (FET) 3 on the back with the photodiode 2 of substrate 1 front face is formed by dry etching from a substrate rear face. At this time, it etches so that the insulator layer 14 formed in the substrate front face may remain in the pars basilaris ossis occipitalis of the Bahia hall 13, and the predetermined part of the insulator layer 8b above-mentioned after forming the Bahia hall 13 — patterning — carrying out — gold plate — the ohmic electrode 5 of resistance 5 — the wiring 7 which connects ohmic electrode 3b of a and FET3 — it connects with gate electrode 3a of b and FET3, wrap wiring 7c is formed for the inside of the Bahia hall 13, and surface protective coat 9a is formed on this.

[0019] Next, after turning up the substrate front face in which the photodiode was formed and removing an insulator layer 14, insulator layer 8c is formed, and it is this p+ of the above-mentioned photodiode 2. Impregnation layer 2c and n+ Patterning is carried out so that 2d of impregnation layers may be exposed, and p electrode 2a of a photodiode 2 and n electrode 2b are vapor-deposited here. And 8d of insulator layers is prepared on it, it gold-plates by carrying out patterning of this to a predetermined configuration, wiring 7a which connects p electrode 2a and wiring 7c formed in the Bahia hall 13 is formed, and p electrode 2a of a photodiode and gate electrode 3a of FET are connected electrically. And finally protective coat 9b is prepared in a substrate front face, and equipment is completed.

[0020] Next, actuation is explained. The lightwave signal of the short wavelength region (0.85 micrometers) which carried out incidence to the photodiode 2 of GaAs substrate 1 front face is changed into a current like the conventional example, is taken out from p electrode 2a of a photodiode 2, and is inputted into gate electrode 3a of FET3 by the side of a substrate rear face through Wiring 7a and 7c. Since the leakage light which carries out incidence to the exterior of a photodiode 2 at this time has the thickness of a substrate 1 sufficiently as thick as about 100 micrometers, it is absorbed on a substrate front face, the incidence of the light to barrier layer 3c of FET3 on the rear face of a substrate etc. is controlled, and actuation of FET is stabilized.

[0021] Generally it is the power P_{opt} of incident light. If a reflection coefficient is set to R and thickness of a and a substrate is set to x for an absorption coefficient $P_{opt} = (1-R) e^{-ax}$ — the absorption coefficient a in the GaAs substrate in the wavelength of $\lambda = 0.85$ micrometers from drawing in which being shown by the relation of (1) and showing the absorption coefficient in each wavelength of the various photo detectors of drawing 15 from it being $4 \times 10^3 \text{cm}^{-1}$ ($4 \times 10^3 \mu\text{m}^{-1}$) As a reflection coefficient $R = 0$, it is a formula (1). When this is substituted, as drawing showing the absorption property in the substrate side of a lightwave signal as shown in drawing 16 obtained and shown in this drawing The lightwave signal of the short wavelength region (0.85 micrometers) which carried out incidence to the substrate is almost absorbed in the depth with an extent of 20 micrometers from a substrate front face.

[0022] And the current taken out from p electrode 2a of a photodiode 2 flows into load resistance 4 through wiring 7a and wiring 7c in the Bahia hall, and is transformed into a voltage signal here. And this voltage signal is amplified with the voltage amplifier which consists of FET3 and load resistance 5, and is taken out from a bonding pad 6 by the equipment exterior as an output.

[0023] Next, the example of mounting to the package of the opto-electronic integrated circuit constituted as mentioned above is explained. Drawing 4 is a block diagram when mounting the opto-electronic integrated circuit of the above-mentioned configuration in a package, and in drawing, 15 is a package body and 16 is the lead for current supply and a signal output, and the pad section 17 for fixing a chip to the point is formed, and it is fixed by using a pewter 19 as a binder in the bonding pad 6 on the rear face of a chip, and two or more parts. Moreover, 18 is a package body 15 and a ceramic substrate which performs the insulation during lead 16, and the thickness is designed by the appearance to which the electronic circuitry on the rear face of a chip does not contact package 15 pars basilaris ossis occipitalis. 20 is a wire which connects lead 16 with BONJIINGUPADDO 6 on the front face of a substrate. Moreover, 21 is the cap of a package body 15 and the aperture 22 for optical incidence for incorporating a lightwave signal in a package 15 is formed in the location equivalent to the above-mentioned photodiode 2 upper part.

[0024] in addition, although the above-mentioned example explained the case where a bonding pad 6 was formed in both sides of a substrate, a bonding pad 6 is one side of a substrate — like the 2nd example which may be in **, for example, is shown in drawing 5, Bud 6 may be formed only in substrate 1 front face, and the pad member 23 for the die bond for fixing a substrate 1 to a package at a substrate rear-face side may be formed. That is, each pad of the electronic circuitry currently formed in the substrate rear-face side is connected with the pad 6 on the front face of a substrate through the Bahia hall 13. The design top of a package and a pad location are not limited by doing in this way, and the degree of freedom of arrangement is large.

[0025] Drawing 6 shows the example of mounting to the package. As shown in drawing 6, connection between each pad 6 and the lead 16 by the side of a package is made only with a wire 20. With this configuration, in case a substrate is fixed to a package 15, since precision is not required for the example of mounting of drawing 4 in the pad member 23 by the side of a chip 1, and the alignment between the pad sections 17 of lead 16, there is a merit that mounting becomes easy.

[0026] Moreover, drawing 7 shows the 3rd example of this invention, and the case where a pad 6 is brought together in a substrate rear face is shown. The pad of the photodiode 2 by the side of a substrate front face is connected with the pad 6 by the side of a substrate rear face through the Bahia hall 13. Thus, with constituting, at the time of mounting to a package, each pad can be connected to the direct lead 16, and a wirebonding process will not be needed compared with the two above-mentioned examples of mounting, but it will be shortened like an erector. The part and chip size which furthermore do not have a pad member in a substrate side compared with the structure of drawing 5 can be cutback-ized.

[0027] Thus, while forming a photo detector 2 on the 1 principal plane of the single GaAs substrate 1 according to this example Form the electronic-circuitry component 3 on other principal planes, and the

Bahia hall 13 is established for between these components in a substrate 1. Since it was made to connect electrically with Wiring 7a and 7c, and a leakage lump of the light to the electronic-circuitry component 3 can be absorbed with a substrate and there is no limit in the physical relationship of a photo detector and an electronic-circuitry component, The degree of freedom of the layout of a component is high, and the opto-electronic integrated circuit excellent in integration can be obtained. [0028] In addition, although the above-mentioned example explained what used GaAs for the substrate, the substrate ingredient used may not be restricted to this and may be other half-insulation ingredients, silicon, etc., such as InP.

[0029] Moreover, by this invention, although the above-mentioned example showed what formed the aperture 22 for optical incidence in some caps 21 of a package, since the electronic-circuitry component is formed in the substrate rear-face side, about all the top faces of a package, it is good also as an aperture for optical incidence, there is no problem of alignment, such as alignment precision of a chip and a cap, and assembly can be performed easily.

[0030] Next, the 4th example of this invention is explained. A photo detector and an electronic-circuitry component are constituted from this example on the substrate which became independent respectively, the fields of the field in which the component of each substrate was formed, and an opposite hand are doubled, and it is made to connect electrically using the Bahia hall formed in each. As shown in drawing 8, the photo detector 2 and the electronic-circuitry component 3 are constituted on substrate 1a which became independent respectively, and 1b, the Bahia halls 13a and 13b are formed in a substrate rear face from each substrate front face, it connects with the pads 6a and 6b on the rear face of a substrate, and connection of a photo detector and an electronic-circuitry component is made with solder 19 in connection between rear-face pad 6a of each substrate, and 6b.

[0031] Moreover, drawing 9 is drawing showing the 5th example of this invention, and a photo detector and an electronic-circuitry component are constituted on the substrate which became independent respectively. p of a photo detector 2, n electrode 2a, and 2b are connected with the electronic-circuitry component 3 using a wire, and it is drawing 9 (a) first. So that it may be shown Wiring 71a connected with p electrode 2a of a photo detector 2 after fixing substrate rear faces with solder 19 using the gold plate layer 10 of a mutual rear face, It is obtained by connecting between the pads 6 formed in the substrate rear face through the Bahia hall 13 using a wire 20 from the substrate 1b front face in which the electronic-circuitry component 3 was formed.

[0032] Furthermore, it is drawing 9 (b). The modification is shown and you may make it connect between the pads 6 formed in the substrate rear face through the Bahia hall 13 using a wire 20 from wiring 71b linked to gate electrode 3a of FET3, and the substrate 1a front face in which the photo detector 2 was formed.

[0033] Thus, with constituting a photo detector and an electronic-circuitry component on the substrate which became independent respectively, while being able to reduce the incident light to a photo detector like the above 1st thru/or the 3rd example, the thing of various construction material as a substrate can be used, for example, silicon can be used for the substrate by the side of a photo detector, the photo detector of a long-wavelength-region region can also be formed, and the degree of freedom of the combination of a device can consider as a high thing.

[0034]

[Effect of the Invention] As mentioned above, according to the opto-electronic integrated circuit concerning this invention, a photo detector is formed on the 1 principal plane of a substrate. An electronic-circuitry component is formed on the substrate side (other principal planes) of different another side from the field in which this photo detector was formed. Since it was made to connect electrically using the Bahia hall in which the above-mentioned photo detector and the above-mentioned electronic-circuitry component were prepared by the above-mentioned substrate Incident light is almost absorbed on the substrate front face of the field in which the photo detector is formed. The incidence of the light to the electronic-circuitry component currently formed in the substrate rear face can decrease,

and change of the operating state of FET can be controlled, and since the degree of freedom of the layout of a component is still higher between a substrate top face and a mask, it excels in integration, and it is effective in the ability to attain cutback-ization of a chip size.

[0035] Moreover, form a photo detector on the 1 principal plane of the 1st substrate, and an electronic-circuitry component is formed on the 1 principal plane of the 2nd substrate. Since each other principal planes of the 1st substrate of the above and the 2nd substrate were made to counter, the laminating was carried out and the opto-electronic integrated circuit was constituted, even if it forms a photo detector and a digital disposal circuit in a different substrate according to an individual. While being able to reduce the incidence of the light to an electronic-circuitry component effectively, the selection width of face of a substrate ingredient can form the photo detector of breadth and various classes, and it is effective in the degree of freedom of the combination of a device improving.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is Bataan drawing showing the opto-electronic integrated circuit by the 1st example of this invention.

[Drawing 2] It is the sectional view showing the opto-electronic integrated circuit by the 1st example of this invention.

[Drawing 3] It is process-flow drawing for forming the opto-electronic integrated circuit by the 1st example of this invention.

[Drawing 4] It is drawing showing the example of mounting to the package of the opto-electronic integrated circuit by the 1st example of this invention.

[Drawing 5] It is pattern drawing showing the opto-electronic integrated circuit by the 2nd example of this invention.

[Drawing 6] It is drawing showing the example of mounting to the package of the opto-electronic integrated circuit by the 2nd example of this invention.

[Drawing 7] It is pattern drawing showing the opto-electronic integrated circuit by the 3rd example of this invention.

[Drawing 8] It is the sectional view showing the opto-electronic integrated circuit by the 4th example of this invention.

[Drawing 9] It is the sectional view showing the opto-electronic integrated circuit by the 5th example of this invention, and its modification.

[Drawing 10] It is pattern drawing showing the conventional opto-electronic integrated circuit.

[Drawing 11] It is the sectional view showing the conventional opto-electronic integrated circuit.

[Drawing 12] It is the circuit diagram of an opto-electronic integrated circuit.

[Drawing 13] It is the sectional view showing other conventional opto-electronic integrated circuits.

[Drawing 14] It is the sectional view showing the conventional opto-electronic integrated circuit of further others.

[Drawing 15] It is drawing showing the absorption coefficient in each wavelength of various photo detectors.

[Drawing 16] It is drawing showing the absorption property in the substrate side of a lightwave signal.

[Description of Notations]

- 1 Substrate
- 2 Photodiode
- 2a p electrode
- 2b n electrode
- 2c p+ Impregnation layer
- 2d n+ Impregnation layer
- 3 Field-effect Transistor
- 3a Gate electrode
- 3b OMMIKKU electrode
- 3c Barrier layer
- 3d Ohmic contact layer
- 4 Load Resistance
- 5 Load Resistance
- 6 Bonding
- 7 Wiring
- 13 Bahia Hall
- 8 Insulator Layer
- 9 Protective Coat
- 10 Rear-Face Gold Plate
- 11 Optical Fiber
- 12 Optical Incidence Field
- 14 Insulator Layer
- 15 Package
- 16 Lead
- 17 Pad Section
- 18 Ceramic Substrate
- 19 Solder
- 20 Wire
- 21 Cap
- 22 Aperture for Optical Incidence
- 23 Pad Member

[Translation done.]

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-110048

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/14				
G 0 2 B 6/12		M 7036-2K		
H 0 1 L 31/10		7210-4M	H 0 1 L 27/ 14	D
		8422-4M	31/ 10	A
審査請求 未請求 請求項の数5(全 11 頁)				

(21)出願番号 特願平3-296352

(22)出願日 平成3年(1991)10月14日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 宮下 美代

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社光・マイクロ波デバイス研究所内

(72)発明者 加藤 隆幸

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社光・マイクロ波デバイス研究所内

(72)発明者 紫村 輝之

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社光・マイクロ波デバイス研究所内

(74)代理人 弁理士 早瀬 憲一

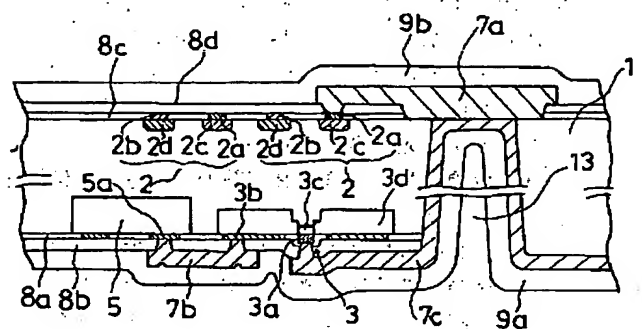
最終頁に続く

(54)【発明の名称】 光-電子集積回路

(57)【要約】

【目的】 受光素子が形成された基板面と異なる基板面に電子回路素子を形成しても、素子のレイアウトに制限が生じることがなく、電子回路素子への光の入射を効果的に低減することができる光-電子集積回路を得る。

【構成】 単一のGaAs基板1の一主面上に受光素子2を形成するとともに、他主面上に電子回路素子3を形成し、これら素子間を基板1にパイアホール13を設け、配線7a及び7cで電気的に接続する。



2a: P 電極
2b: n 電極
2c: P⁺ 注入層
2d: n⁺ 注入層
3a: ゲート電極
3b: オミック電極
3c: 活性層
3d: オミックコンタクト層

(2)

【特許請求の範囲】

【請求項1】 同一基板内に受光素子と電子回路素子とを有し、光信号を電気信号に変換して処理を行う光—電子集積回路において、

上記基板の一主面上に、P型及びN型電極層を交互に並列に配置して形成した受光素子と、

上記基板の他主面上に形成された電子回路素子と、

上記基板に設けられ、上記受光素子と上記電子回路素子とを電気的に接続するバイアホールとを備えたことを特徴とする光—電子集積回路。

【請求項2】 受光素子と電子回路素子とを有し、光信号を電気信号に変換して処理を行う光—電子集積回路において、

その一主面上に受光素子が形成された第1の基板と、

その一主面上に電子回路素子が形成された第2の基板とを備え、

上記第1の基板及び第2の基板のそれぞれの他主面を対向させて積層し、回路を構成したことを特徴とする光—電子集積回路。

【請求項3】 請求項2記載の光—電子集積回路において、

上記第1の基板に設けられた、上記受光素子と電気的に接続し該基板の他主面側に至る第1のバイアホールと、上記第2の基板に設けられた、上記電子回路素子と電気的に接続し該基板の他主面側に至る第2のバイアホールとを対向させ、これらバイアホールをハンダにより接続したことを特徴とする光—電子集積回路。

【請求項4】 請求項2記載の光—電子集積回路において、

上記第1の基板に設けられた、上記受光素子と電気的に接続し該基板の他主面側に至る第1のバイアホールと、上記第2の基板の一主面上に形成された上記電子回路素子の電極とをワイヤボンディングにより接続したことを特徴とする光—電子集積回路。

【請求項5】 請求項2記載の光—電子集積回路において、

上記第2の基板に設けられた、上記電子回路素子と電気的に接続し該基板の他主面側に至る第2のバイアホールと、上記第1の基板の一主面上に形成された上記受光素子の電極とをワイヤボンディングにより接続したことを特徴とする光—電子集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は受光素子で光電変換して得られた信号を後段の回路で処理する光—電子集積回路に関し、特に受光素子外に入射する漏洩光の影響の低減を図ったものに関するものである。

【0002】

【従来技術】 図10は例えば特開昭62-32643号公報に示された従来光—電子集積回路のパターン図であり、

2

図10(a)は基板表面のパターンを示し、図10(b)は基板裏面のパターンを示す。また、図11は光—電子集積回路の断面構造を示す図であり、さらに図12は上記図10及び図11の光—電子集積回路の等価回路図である。図において、1は例えば厚さ1000 μ mのGaAs基板、2は光を電気に変換する受光素子であるフォトダイオードであり、上記GaAs基板1の表面にイオン注入して形成されたp⁺注入層2c、n⁺注入層2dと、これら注入層上に設けられたp電極2a、n電極2bとからなる。また、3は上記フォトダイオード2で変換された電流を電圧信号に変換して出力する電子回路素子の入力部の前置増幅器を構成する電界効果トランジスタ(以下FETと略す)であり、上記フォトダイオード2と同一の基板面上に設けられている。このFETは不純物注入により基板表面に活性層3c、ソース・ドレインオーミックコンタクト層3dを形成した後、基板全面に絶縁膜8aを設け、所定部分を開口してFETのゲート電極3a、ソース及びドレインのオーミック電極3bを形成して得られたものであり、その上には絶縁膜8bが形成されている。なお図11では抵抗4は省略してある。

【0003】 さらに4は、フォトダイオード2のp電極2aに接続されフォトダイオードの負荷となる抵抗、5はFET3のドレイン電極3bに接続した負荷抵抗であり、6はフォトダイオード2及びFET3の電源供給用あるいは出力信号取り出し用のボンディングパッドである。また7は各素子間または素子とパッド間を接続する配線であり、9はチップ表面の保護膜である。10は上記フォトダイオード2、FET3が形成された基板面とは反対側の基板面に形成された裏面金メッキ層であり、チップをパッケージに実装する際にはんだ等を用いて接着しやすいようにするためのものである。11は伝送媒体である光ファイバであり、12は光ファイバからの入射光を示す。

【0004】 次に動作について説明する。光ファイバ11を介してフォトダイオード2に入射した短波長帯($\lambda=0.85\mu$ m)の入射光12(光信号)は、フォトダイオード2のp⁺注入層2c、n⁺注入層2dにて自由正孔、電子を発生させ、次いでこれら自由正孔、電子は上記p⁺注入層2c、n⁺注入層2d間の空乏層領域に移動し、正孔はp⁺注入層2cへ、電子はn⁺注入層2dに向かい、光の強弱に比例した強さの逆電流(光電流)が生じ、p電極2aより取り出される。このp電極2aはFET3のゲート電極3a及びフォトダイオード2の負荷抵抗4と、配線7によって接続されており、p電極2aより取り出される電流が負荷抵抗4に流れることにより、電圧信号に変換され、FET3のゲート電極3aに入力される。そしてこの電圧信号はFET3と負荷抵抗5で構成される電圧増幅器によって増幅されて出力端子となるボンディングパッド6より取り出される。

(3)

3

【0005】ところで上記構造の光—電子集積回路では回路の応答速度は受光素子の容量とFETの入力容量及びフォトダイオードの負荷抵抗によるCR時定数で決まる。近年の光通信の大容量化に伴い、高速伝送が可能でかつ低雑音な光—電子集積回路を構成するためには受光素子の容量の低減が必要である。このためには受光素子の受光径を数十 μm 程度にするのが有効な手段である。しかし、光が伝播してくる光ファイバのコア径は約10 μm ～50 μm 程度であり、かつ光ファイバ端での回折現象による光の広がりやファイバと受光素子間での位置合わせの精度上、光信号は受光素子外部へも入射する。そしてこのようにして受光素子外に漏れた光がFETの活性層に入射することにより、活性層内で光電変換が生じてキャリアが励起され、例えばFETのドレイン電流が増加するなどFETの動作状態が変化し誤動作するという問題点があった。

【0006】また、図13の特開昭61-135155号公報に示されるように、半絶縁性GaAs基板121上に、n+型GaAs層122、n⁻型GaAs層123、高抵抗AlGaAs層124、アンドープGaAs層125、nGaAs層126を順次積層し、これに分離溝133を設けてPIN型ダイオードとFET部を形成し、同一平面上にPIN型ダイオードとFET部を形成するようにしたものがある。詳述すると、FET部形成領域のnGaAs層126、アンドープGaAs層125をパターンニングし、FETのソース、ドレイン、ゲート電極が形成されている。またPIN型ダイオード形成領域の高抵抗AlGaAs層124に窪みを形成し、下方のn⁻型GaAs層123に届くように亜鉛を拡散させてp型層128を形成し、上端面にp型電極130を設け、これをFET部のゲートGにアルミニウム配線131を用いて接続されている。また132はPINダイオードのn型電極であり、127は素子を覆うシリコン窒化膜である。

【0007】このような構造においてもやはり、FET部への光の漏れ込みによる問題が生じることとなるが、この公報では図14に示すような構造とすることで、FET部への光の漏れ込みを防止するようにしている。詳述すると、半絶縁性GaAs基板105上に高抵抗AlGaAs層104、n⁻型GaAs層103、nGaAs層102、n⁺型GaAs層101を順次積層し、FET部とPINダイオードが形成される領域を素子分離絶縁領域108を用いて区分する。次いでPINダイオードの受光部の半絶縁性GaAs基板105を除去して窪み106を形成して高抵抗AlGaAs層104を露出させ、該窪み106に亜鉛を拡散させてp層107を形成し、これにp電極110を設け、またn⁺型GaAs層101上にn電極109を設けてPINダイオードを形成する。そしてダイオードのn電極109と隣接するFET部のゲート電極Gとをアルミニウム配線112

4

を用いて接続する。

【0008】そして動作時には、ダイオードのp型層107の窪み106に光ファイバを挿入して自由電子を発生させるわけであるが、この構成では発生した自由電子が上方のn⁻型GaAs層103、nGaAs層102、n⁺型GaAs層101を通りキャリアが縦方向に伝送され、n型電極109から取り出されるため、FET部とPINダイオードを形成する領域を分離層108を設けて区画する必要がある、p型層107が形成されている領域とFETが形成されている領域との位置関係に制約が生じることとなり、素子配置の自由度が小さく、ひいてはデバイスの集積度の向上を図ることができない等の不具合を有するものであった。また積層構造であるために製造工程が複雑でコストの増大を招くという不具合がある。

【0009】

【発明が解決しようとする課題】従来の光—電子集積回路は以上のように構成されており、電子回路素子への漏洩光を低減するために、積層構造の基板を用い、受光素子が形成された基板面と異なる基板面に電子回路素子を形成すると、キャリアの導電路を確保する必要から基板表面側の受光素子と基板裏面側の電子回路素子との位置関係に制限が生じ、集積度やコスト面から不利になるという問題点があった。

【0010】この発明は上記のような問題点を解消するためになされたもので、受光素子が形成された基板面と異なる基板面に電子回路素子を形成しても、素子のレイアウトに制限が生じることがなく、電子回路素子への光の入射を効果的に低減することができる光—電子集積回路を得ることを目的とする。

【0011】

【課題を解決するための手段】この発明に係る光—電子集積回路は、基板の一主面上に形成された受光素子と、上記基板の他主面上に形成された電子回路素子と、上記基板に設けられ、上記受光素子と電子回路素子とを電気的に接続するバイアホールとを備えたものである。

【0012】またその一主面上に受光素子が形成された第1の基板と、その一主面上に電子回路素子が形成された第2の基板とを備え、上記第1の基板及び第2の基板のそれぞれの他主面を対向させて積層して光—電子集積回路を構成したものである。

【0013】

【作用】この発明においては、基板の一主面上に受光素子を形成し、該受光素子が形成された面とは異なる他方の基板面（他主面）上に電子回路素子を形成し、上記受光素子と上記電子回路素子とを上記基板に設けられたバイアホールを用いて電気的に接続するようにしたから、基板厚が十分厚いために、入射光は受光素子の形成されている面の基板表面でほとんど吸収され、基板裏面に形成されている電子回路素子への光の入射が減少し、ドレ

(4)

5

イン電流の増加等のFETの動作状態の変化を抑制することができ、さらに、レイアウトの制限なしに基板両面に回路を形成することでチップサイズの縮小化を図ることができる。

【0014】また第1の基板の一主面上に受光素子を形成し、第2の基板の一主面上に電子回路素子を形成し、上記第1の基板及び第2の基板のそれぞれの他主面を対向させて積層して光—電子集積回路を構成したから、受光素子と信号処理回路とを異なる基板に個別に形成しても、電子回路素子への光の入射を効果的に低減することができるとともに、様々な種類の受光素子を形成することができる。

【0015】

【実施例】以下、この発明の一実施例を図について説明する。図1は発明の第1の実施例による光—電子集積回路のパターン図であり、図1(a)は基板表面のパターン図を示し、図1(b)は基板裏面のパターン図を示す。図において、図10と同一符号は同一または相当部分を示し、13はGaAs基板1表面のフォトダイオード2と基板裏面のFET3及びフォトダイオードの負荷抵抗4とを接続するバイアホールである。なお以下の説明においては抵抗4は省略してある。

【0016】また図2は上記図1の光—電子集積回路の断面図であり、図3は図1及び図2の回路を形成する際のプロセスフローを示した図であり、14はバイアホール13内に金メッキを施す際に、バイアホールの底になる部分にも金メッキ層を形成するために基板1の裏面側に設けられた絶縁膜である。

【0017】以下、プロセスフローについて説明する。まず図3(a)に示すように、例えば厚さ100 μm のGaAs基板1両面にイオン注入を行い、基板1の一主面(基板表面)にフォトダイオード2の p^+ 注入層2c及び n^+ 注入層2dを形成し、基板1の他主面(基板裏面)に電子回路であるFET3の活性層3c及び抵抗5を形成する。次に図3(b)に示すように、フォトダイオードが形成された基板表面にバイアホールの底部金メッキ形成用の絶縁膜14を形成したのち、基板裏面にFETのゲート電極3aを設け、これをマスクとしてイオン注入してセルフアラインでFETのオーミックコンタクト層3dを形成する。次いで基板1裏面に絶縁膜8aを形成し、所定部分をパターンニングして、FETのオーミック電極3b及び抵抗5のオーミック電極5aを形成し、さらにその上に絶縁膜8bを形成する。

【0018】次に、基板1表面のフォトダイオード2と裏面の電子回路(FET)3を接続するためのバイアホール13を基板裏面からドライエッチングで形成する。このとき、基板表面に形成した絶縁膜14がバイアホール13の底部に残るようにエッチングを行う。そしてバイアホール13を形成した後、上記絶縁膜8bの所定部分をパターンニングし、金メッキにより、抵抗5のオーミ

6

ック電極5aとFET3のオーミック電極3bとを接続する配線7b及び、FET3のゲート電極3aに接続しバイアホール13内を覆う配線7cを形成し、この上に表面保護膜9aを形成する。

【0019】次に、フォトダイオードが形成された基板表面を上にし、絶縁膜14を取り除いた後、絶縁膜8cを形成し、これを上記フォトダイオード2の p^+ 注入層2c及び n^+ 注入層2dが露出するようにパターンニングし、ここにフォトダイオード2のp電極2a及びn電極2bを蒸着する。そしてその上に絶縁膜8dを設け、これを所定形状にパターンニングし、金メッキを施して、p電極2aとバイアホール13内に形成された配線7cとを接続する配線7aを形成し、フォトダイオードのp電極2aとFETのゲート電極3aとを電気的に接続する。そして最後に基板表面に保護膜9bを設けて装置を完成する。

【0020】次に動作について説明する。GaAs基板1表面のフォトダイオード2に入射した短波長帯(0.85 μm)の光信号は従来例と同様に電流に変換され、フォトダイオード2のp電極2aより取り出され、配線7a、7cを経て基板裏面側のFET3のゲート電極3aに入力される。このときフォトダイオード2の外部に入射する漏れ光は、基板1の厚みが100 μm 程度と十分厚いため基板表面で吸収され、基板裏面のFET3の活性層3c等への光の入射は抑制されFETの動作は安定する。

【0021】一般に入射光のパワー P_{opt} は反射係数をR、吸収係数をa、基板の厚さをxとすると、 $P_{\text{opt}} = (1 - R) e^{-ax} \dots (1)$ の関係で示され、図15の各種受光素子の各波長における吸収係数を示す図から波長 $\lambda = 0.85\mu\text{m}$ におけるGaAs基板での吸収係数aは $4 \times 10^3 \text{cm}^{-1}$ ($4 \times 10^3 \mu\text{m}^{-1}$)であることから、反射係数 $R = 0$ として、式(1)にこれを代入すると、図16に示すような光信号の基板面での吸収特性を示す図が得られ、この図から分かるように、基板に入射した短波長帯(0.85 μm)の光信号は基板表面から20 μm の程度の深さにてほとんど吸収される。

【0022】そしてフォトダイオード2のp電極2aより取り出された電流は配線7a、バイアホール内の配線7cを通して負荷抵抗4に流れ込み、ここで電圧信号に変換される。そしてこの電圧信号はFET3と負荷抵抗5で構成される電圧増幅器で増幅されてボンディングパッド6より出力として装置外部に取り出される。

【0023】次に、以上のように構成された光—電子集積回路のパッケージへの実装例について説明する。図4は上記構成の光—電子集積回路をパッケージ内に実装したときの構成図であり、図において、15はパッケージ本体、16は電源供給及び信号出力のためのリードであり、その先端部にはチップを固定するためのパッド部1

(5)

7が形成されており、ハンダ19を接着材としてチップ裏面のボンディングパッド6と複数の箇所にて固定されている。また18はパッケージ本体15とリード16間の絶縁を行うセラミック基板であり、その厚みはチップ裏面の電子回路がパッケージ15底部に接触しない様に設計されている。20は基板表面のボンディングパッド6とリード16を接続するワイヤである。また21はパッケージ本体15のキャップであり、上記フォトダイオード2上方に相当する場所には光信号をパッケージ15内に取り込むための光入射用窓22が設けられている。

【0024】なお、上記実施例では、ボンディングパッド6を基板の両面に設けた場合について説明したが、ボンディングパッド6は基板の片面だけにあってもよく、例えば、図5に示す第2の実施例のように、パッド6を基板1表面のみに形成し、基板裏面側にパッケージに基板1を固定するためのダイボンド用のパッド部材23を設けてもよい。すなわち基板裏面側に形成されていた電子回路の各パッドは、バイアホール13を介して基板表面のパッド6と接続されている。このようにすることで、パッケージの設計上、パッド位置が限定されることがなく、配置の自由度が大きい。

【0025】図6はそのパッケージへの実装例を示す。図6に示すように各パッド6とパッケージ側のリード16との接続はワイヤ20のみで行う。この構成では、基板をパッケージ15に固定する際に、チップ1側のパッド部材23とリード16のパッド部17間の位置合わせにおいて、図4の実装例ほど精度が要求されないので、実装が容易になるというメリットがある。

【0026】また図7は本発明の第3の実施例を示し、基板裏面にパッド6を集めた場合を示し、基板表面側のフォトダイオード2のパッドはバイアホール13を介して基板裏面側のパッド6と接続されており、このように構成することでパッケージへの実装時に、各パッドを直接リード16に接続することができ、上記2つの実装例に比べてワイヤボンディング工程を必要とせず組立工程が短縮されることとなる。さらに図5の構造に比べ基板面にパッド部材が無い分、チップサイズを縮小化することができる。

【0027】このように本実施例によれば、単一のGaAs基板1の一主面上に受光素子2を形成するとともに、他主面上に電子回路素子3を形成し、これら素子間を基板1にバイアホール13を設け、配線7a及び7cで電気的に接続するようにしたから、電子回路素子3への光の漏れ込みを基板にて吸収することができ、また受光素子と電子回路素子との位置関係には制限がないため、素子のレイアウトの自由度が高く、集積化に優れた光電子集積回路を得ることができる。

【0028】なお上記実施例では基板にGaAsを用いたものについて説明したが、用いられる基板材料はこれに限られるものではなく、InP等の他の半絶縁性材料

8

やシリコン等であってもよい。

【0029】また上記実施例ではパッケージのキャップ21の一部に光入射用窓22を設けたものを示したが、本発明では基板裏面側に電子回路素子が形成されているため、パッケージの上面全てを光入射用窓としてもよく、チップとキャップの位置合わせ精度等のアライメントの問題がなく、組立を容易に行うことができる。

【0030】次に本発明の第4の実施例について説明する。この実施例では、受光素子と電子回路素子を各々独立した基板上に構成し、各基板の素子が形成された面と反対側の面同士を合わせ、それぞれに形成したバイアホールを用いて電気的に接続するようにしたものである。図8に示すように、受光素子2と電子回路素子3とは各々独立した基板1a、1b上に構成されており、受光素子と電子回路素子の接続は、各々の基板表面から基板裏面へバイアホール13a、13bを形成し、基板裏面のパッド6a、6bと接続し、各々の基板の裏面パッド6a、6b間の接続をはんだ19にて行なわれている。

【0031】また図9は本発明の第5の実施例を示す図であり、受光素子と電子回路素子を各々独立した基板上に構成し、受光素子2のp、n電極2a、2bをワイヤを用いて電子回路素子3と接続するようにしたものであり、まず、図9(a)に示すように、基板裏面同士を互いの裏面の金メッキ層10を用いてはんだ19にて固定したのち、受光素子2のp電極2aと接続する配線71aと、電子回路素子3が形成された基板1b表面からバイアホール13を介して基板裏面に形成されたパッド6間とをワイヤ20を用いて接続することで得られたものである。

【0032】さらに図9(b)はその変形例を示し、FET3のゲート電極3aと接続する配線71bと、受光素子2が形成された基板1a表面からバイアホール13を介して基板裏面に形成されたパッド6間とをワイヤ20を用いて接続するようにしてもよい。

【0033】このように受光素子と電子回路素子を各々独立した基板上に構成することで、上記第1ないし第3の実施例と同様に受光素子への入射光を低減できるとともに、基板として様々な材質のものを用いることができ、例えば受光素子側の基板にシリコンを用いて長波長帯域の受光素子を形成することもでき、デバイスの組合せの自由度が高いものとすることができる。

【0034】

【発明の効果】以上のように、この発明に係る光電子集積回路によれば、基板の一主面上に受光素子を形成し、該受光素子が形成された面とは異なる他方の基板面（他主面）上に電子回路素子を形成し、上記受光素子と上記電子回路素子とを上記基板に設けられたバイアホールを用いて電気的に接続するようにしたから、入射光は受光素子の形成されている面の基板表面でほとんど吸収され、基板裏面に形成されている電子回路素子への光の

(6)

9

入射が減少し、FETの動作状態の変化を抑制することができ、さらに、基板上面と仮面との間で素子のレイアウトの自由度が高いため、集積化に優れ、チップサイズの縮小化を図ることができるという効果がある。

【0035】また第1の基板の一主面上に受光素子を形成し、第2の基板の一主面上に電子回路素子を形成し、上記第1の基板及び第2の基板のそれぞれの他主面を対向させて積層して光—電子集積回路を構成したから、受光素子と信号処理回路とを異なる基板に個別に形成しても、電子回路素子への光の入射を効果的に低減することができるとともに、基板材料の選択幅が広がり、様々な種類の受光素子を形成することができ、デバイスの組合せの自由度が向上するという効果がある。

【図面の簡単な説明】

【図1】この発明の第1の実施例による光—電子集積回路を示すパターン図である。

【図2】この発明の第1の実施例による光—電子集積回路を示す断面図である。

【図3】この発明の第1の実施例による光—電子集積回路を形成するためのプロセスフロー図である。

【図4】この発明の第1の実施例による光—電子集積回路のパッケージへの実装例を示す図である。

【図5】この発明の第2の実施例による光—電子集積回路を示すパターン図である。

【図6】この発明の第2の実施例による光—電子集積回路のパッケージへの実装例を示す図である。

【図7】この発明の第3の実施例による光—電子集積回路を示すパターン図である。

【図8】この発明の第4の実施例による光—電子集積回路を示す断面図である。

【図9】この発明の第5の実施例及びその変形例による光—電子集積回路を示す断面図である。

【図10】従来の光—電子集積回路を示すパターン図である。

【図11】従来の光—電子集積回路を示す断面図である。

【図12】光—電子集積回路の回路図である。

【図13】従来の他の光—電子集積回路を示す断面図である。

10

【図14】従来のさらに他の光—電子集積回路を示す断面図である。

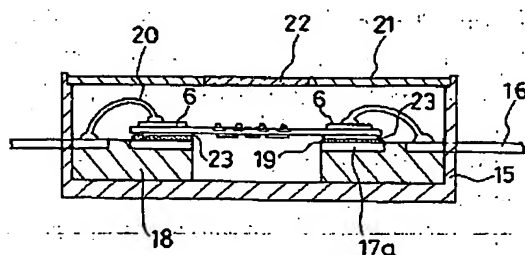
【図15】各種受光素子の各波長における吸収係数を示す図である。

【図16】光信号の基板面での吸収特性を示す図である。

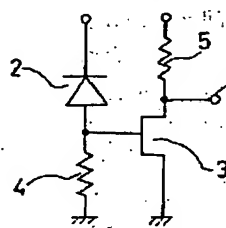
【符号の説明】

- 1 基板
- 2 フォトダイオード
- 2 a p電極
- 2 b n電極
- 2 c p⁺注入層
- 2 d n⁺注入層
- 3 電界効果トランジスタ
- 3 a ゲート電極
- 3 b オミック電極
- 3 c 活性層
- 3 d オーミックコンタクト層
- 4 負荷抵抗
- 5 負荷抵抗
- 6 ボンディング
- 7 配線
- 13 バイアホール
- 8 絶縁膜
- 9 保護膜
- 10 裏面金メッキ
- 11 光ファイバ
- 12 光入射領域
- 14 絶縁膜
- 15 パッケージ
- 16 リード
- 17 パッド部
- 18 セラミック基板
- 19 はんだ
- 20 ワイヤ
- 21 キャップ
- 22 光入射用窓
- 23 パッド部材

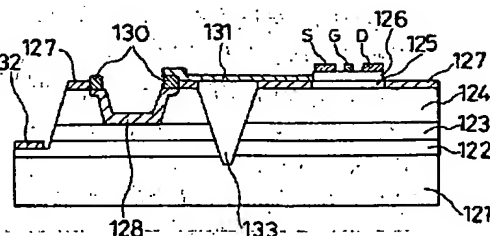
【図6】



【図12】

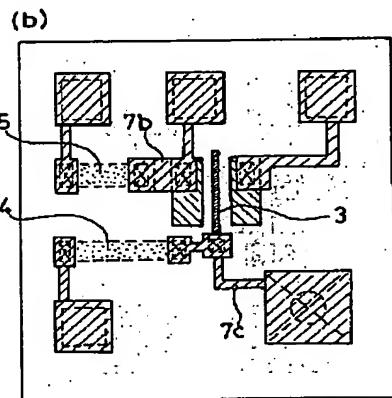
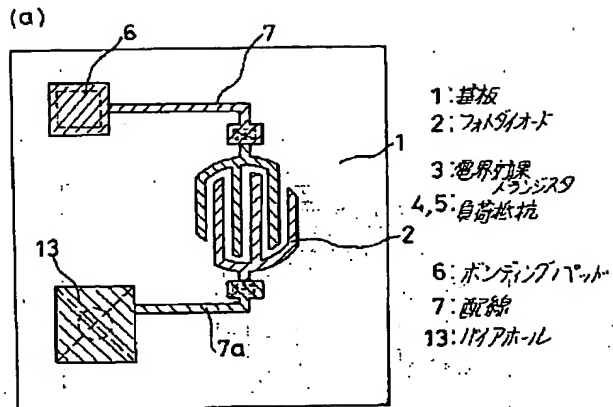


【図13】

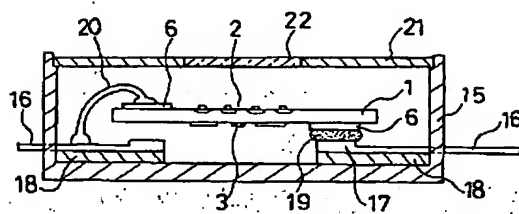


(7)

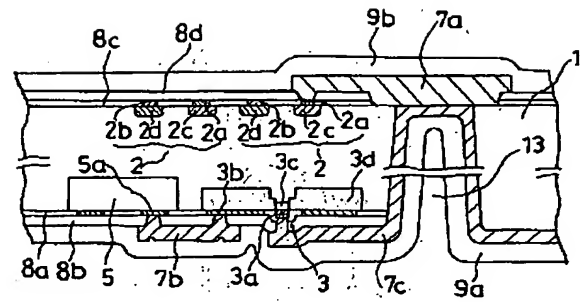
【図1】



【図4】

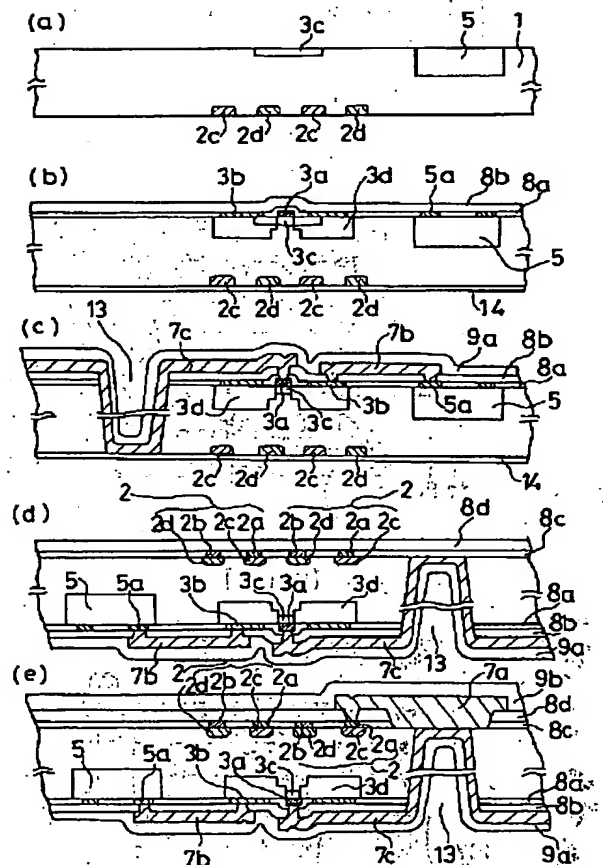


【図2】



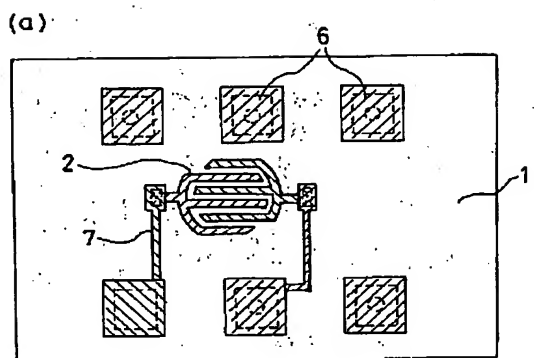
- 2a: p 電極
2b: n 電極
2c: p⁺ 注入層
2d: n⁺ 注入層
3a: ゲート電極
3b: オミック電極
3c: 活性層
3d: オミックコンタクト層

【図3】

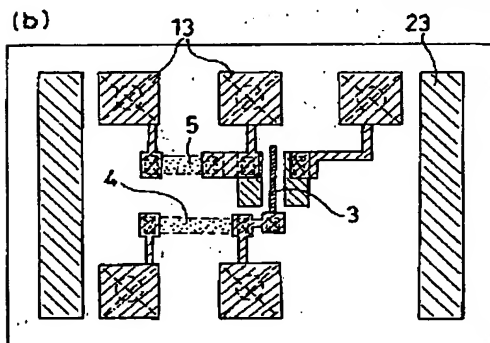


(8)

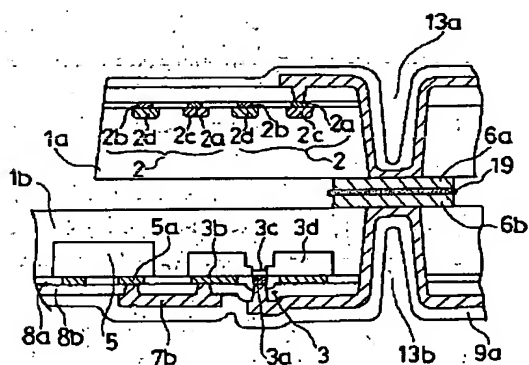
【図5】



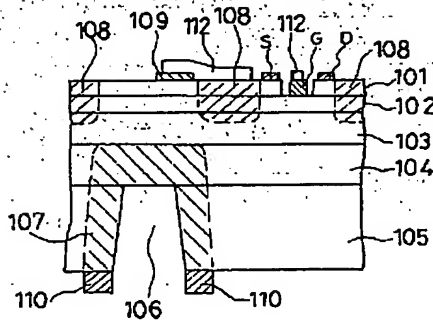
23: ハウジング材



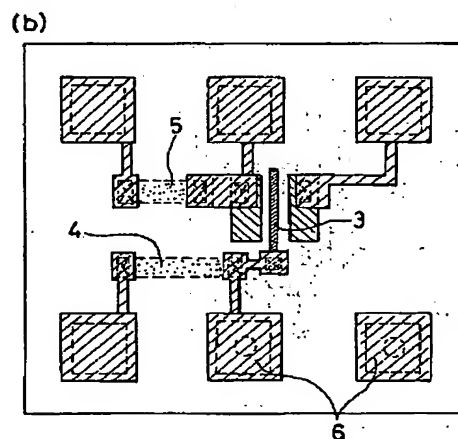
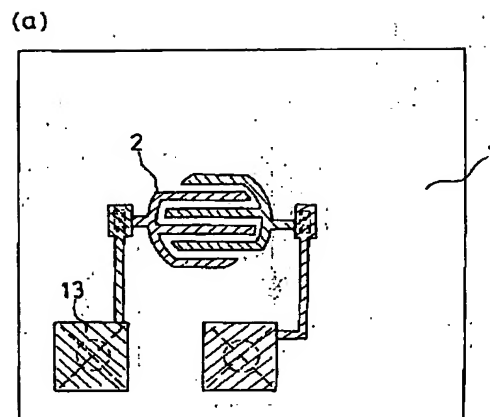
【図8】



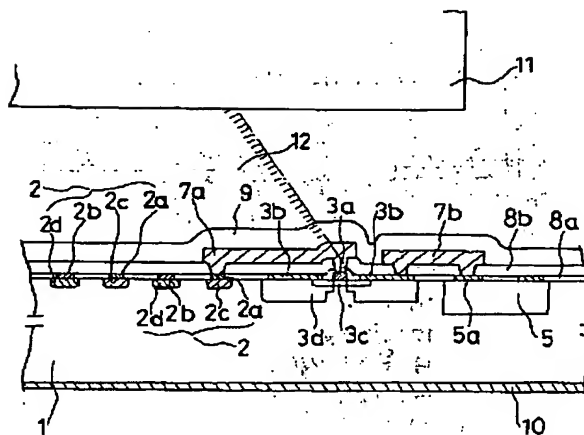
【図14】



【図7】

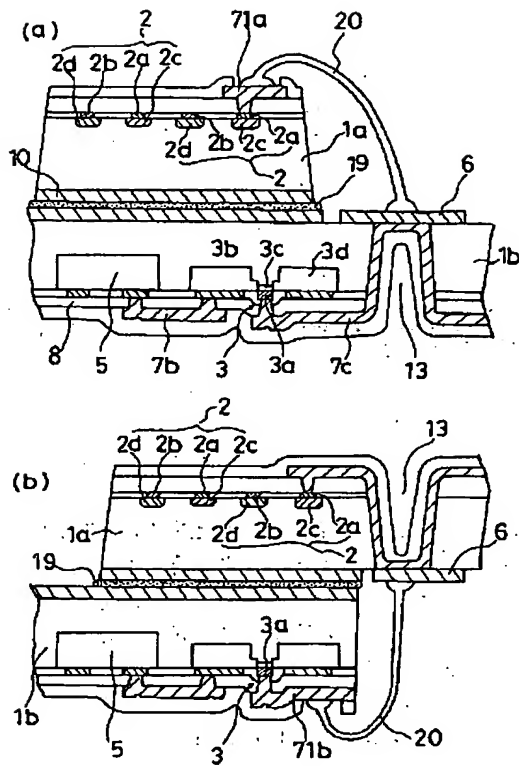


【図11】

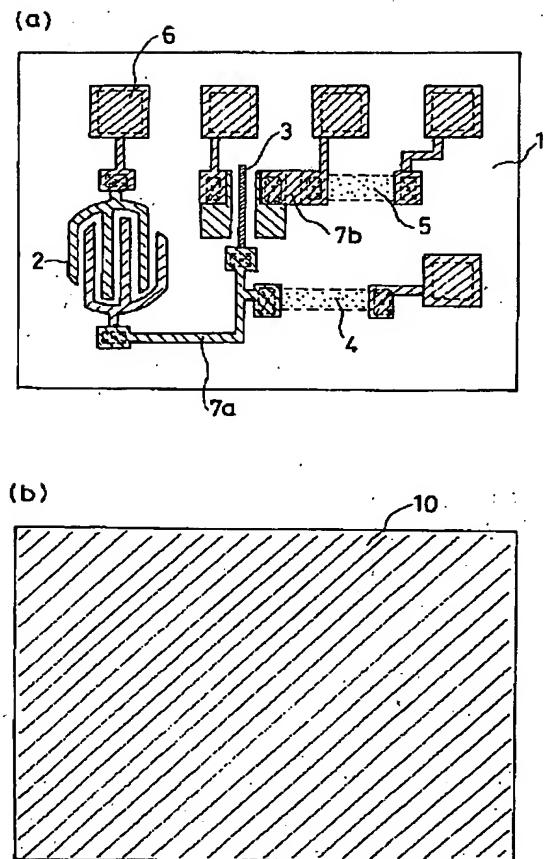


(9)

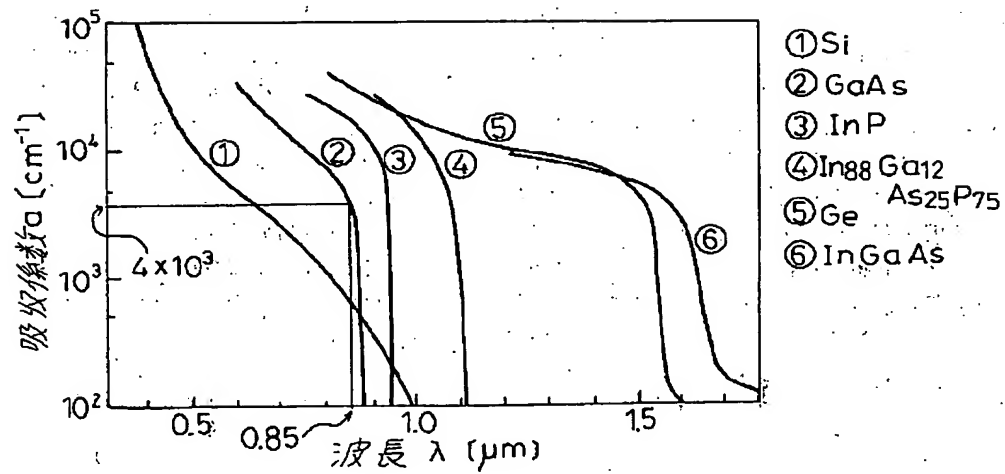
【図9】



【図10】

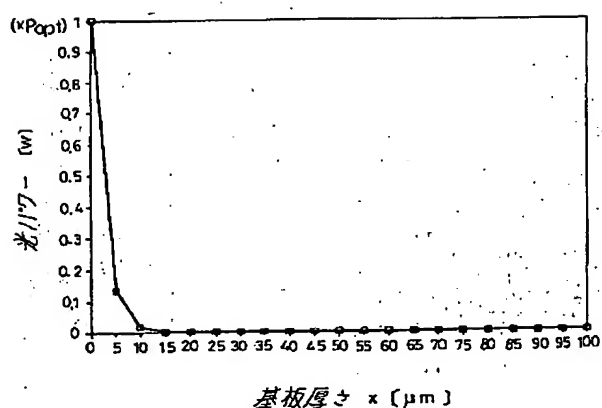


【図15】



(10)

【図16】



【手続補正書】

【提出日】平成4年2月5日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正内容】

【0002】

【従来の技術】図10は例えば特開昭62-32643号公報に示された従来の光電子集積回路のパターン図であり、図10(a)は基板表面のパターンを示し、図10(b)は基板裏面のパターンを示す。また、図11は光電子集積回路の断面構造を示す図であり、さらに図12は上記図10及び図11の光電子集積回路の等価回路図である。図において、1は例えば厚さ100μmのGaAs基板、2は光を電気に変換する受光素子であるフォトダイオードであり、上記GaAs基板1の表面にイオン注入して形成されたp⁺注入層2c、n⁺注入層2dと、これら注入層上に設けられたp電極2a、n電極2bとからなる。また、3は上記フォトダイオード2で変換された電流を電圧信号に変換して出力する電子回路素子の入力部の前置増幅器を構成する電界効果トランジスタ（以下FETと略す）であり、上記フォトダイオード2と同一の基板表面上に設けられている。このFETは不純物注入により基板表面に活性層3c、ソース・ドレインオーミックコンタクト層3dを形成した後、基板全面にゲート金属を蒸着し、エッチングにより所望のゲート電極3aを形成し、ソース及びドレインのオーミック電極3bはスペーサリフトオフ方により形成して得られるものである。

のである。絶縁膜8aは基板表面の保護のためにゲート電極3a及びオーミック電極3b形成部以外の所につけられたものであり、その上には層間絶縁膜8bが形成されている。なお図11では抵抗4は省略してある。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】次に動作について説明する。光ファイバ1を介してフォトダイオード2に入射した短波長帯（λ=0.85μm）の入射光1.2（光信号）は、フォトダイオード2のp⁺注入層2c、n⁺注入層2d及びこれら注入層間の空乏層間の空乏層領域にて自由正孔、電子を発生させ、p⁺注入層2c内の電子とn⁺注入層2d内の正孔は拡散により空乏層内にはいり、空乏層の正孔、電子は電界によりドリフトして正孔はp⁺注入層2cへ、電子はn⁺注入層2dに向かい、光の強弱に比例した強さの光電流が生じ、p電極2aより取り出される。このp電極2aはFET3のゲート電極3a及びフォトダイオード2の負荷抵抗4と、配線7によって接続されており、p電極2aより取り出される電流が負荷抵抗4に流れることにより、電圧信号に変換され、FET3のゲート電極3aに入力される。そしてこの電圧信号はFET3と負荷抵抗5で構成される電圧増幅器によって増幅されて出力端子となるボンディングパッド6より取り出される。

(11)

フロントページの続き。

(72)発明者 中原 和彦
兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社光・マイクロ波デバイス研究所内